

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Group Art Unit: To Be Assigned  
Examiner: To Be Assigned

In Re PATENT APPLICATION Of:

Applicants : Hiroki NAKAMURA )

Serial No. : To Be Assigned )

Filed : Herewith )

For : SEMICONDUCTOR DEVICE AND METHOD )  
FOR MANUFACTURING THE SAME )

Attorney Ref. : F98ED0762 )

**CLAIM FOR PRIORITY**

-----  
July 25, 2000

Director of Patents and Trademarks  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 11-369811, filed December 27, 1999, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,



Junichi Mimura  
(Registration No. 40,351)  
Oki America, Inc.  
1101 14th Street, N.W.  
Suite 555  
Washington, D.C. 20005  
Telephone : (202) 452-6190  
Telefax : (202) 452-6148

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

41 Priority Paper  
H. 98450768-45  
Jews  
10/10/00

JCS98 U.S. PTO  
09/625178  
07/25/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1999年12月27日

出願番号  
Application Number:

平成11年特許願第369811号

出願人  
Applicant(s):

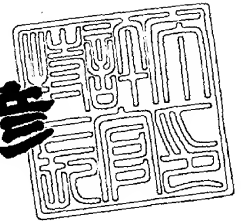
沖電気工業株式会社

2001-185551

2000年 2月14日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦



出証番号 出証特2000-3005297

【書類名】 特許願

【整理番号】 OG004237

【提出日】 平成11年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

    【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会  
社内

    【氏名】 中村 浩樹

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【代理人】

    【識別番号】 100089093

    【弁理士】

    【氏名又は名称】 大西 健治

【手数料の表示】

    【予納台帳番号】 004994

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9720320

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の構造及び製造方法

【特許請求の範囲】

【請求項 1】 半導体基体上に、導電性膜からなる配線パターンを有する回路形成領域と、

前記回路形成領域の外側に前記回路形成領域を囲んで前記基体上に有する、前記導電性膜からなり、前記配線パターンと電氣的に絶縁されたダミーパターンと

、  
前記回路形成領域の前記配線パターン間の前記基体上に、第 1 の絶縁膜、第 2 の絶縁膜及び第 3 の絶縁膜が順に積層され、

前記回路形成領域から延在する前記第 1 の絶縁膜と前記第 3 の絶縁膜が、前記ダミーパターン上に順に積層されていることを特徴とする半導体装置の構造。

【請求項 2】 半導体基体上に、導電性膜からなる配線パターンを有する回路形成領域と、

前記回路形成領域の外側に前記回路形成領域を囲んで前記基体上に有する、前記導電性膜からなり、前記配線パターンと電氣的に絶縁された第 1 のダミーパターンと、

前記回路形成領域を基準にして、前記第 1 のダミーパターンの外側に前記第 1 のダミーパターンを囲んで前記基体上に有する、前記導電性膜からなり、前記配線パターンと電氣的に絶縁された第 2 のダミーパターンと、

前記回路形成領域の前記配線パターン間の前記基体上に、第 1 の絶縁膜、第 2 の絶縁膜及び第 3 の絶縁膜が順に積層され、

前記回路形成領域から延在する前記第 1 の絶縁膜と前記第 3 の絶縁膜が、前記第 1 のダミーパターン及び前記第 2 のダミーパターン上に順に積層されていることを特徴とする半導体装置の構造。

【請求項 3】 前記第 2 の絶縁膜が SOG 膜であることを特徴とする請求項 2 に記載の半導体装置の構造。

【請求項 4】 前記半導体基体平面において、前記回路形成領域を基準にして外側方向への前記第 1 のダミーパターン及び前記第 2 のダミーパターンの幅寸

法が、略 1  $\mu$  mであることを特徴とする請求項 2 又は請求項 3 に記載の半導体装置の構造。

【請求項 5】 半導体基体上に、導電性膜からなる配線パターンを有し、前記配線パターンの外側に前記配線パターンを囲んで前記基体上に有する、前記導電性膜からなり、前記配線パターンと電氣的に絶縁されたダミーパターンと、前記配線パターンの一部に、第 1 の絶縁膜、第 2 の絶縁膜及び第 3 の絶縁膜が順に積層され、

前記配線パターンの一部から延在する前記第 1 の絶縁膜と前記第 3 の絶縁膜が、前記ダミーパターン上に順に積層されていることを特徴とする半導体装置の構造。

【請求項 6】 前記第 2 の絶縁膜が SOG 膜であることを特徴とする請求項 1 又は請求項 5 に記載の半導体装置の構造。

【請求項 7】 前記半導体基体平面において、前記回路形成領域を基準にして外側方向への前記ダミーパターンの幅寸法が、略 1  $\mu$  mであることを特徴とする請求項 1、請求項 5 又は請求項 6 のいずれか一つに記載の半導体装置の構造。

【請求項 8】 半導体基体上の回路形成領域の外側に前記回路形成領域を囲んで前記基体上に有する、第 1 の膜からなり、前記配線パターンと電氣的に絶縁された第 1 のダミーパターンと、

前記第 1 のダミーパターン上に有する第 1 の絶縁膜と、

前記回路形成領域に、前記第 1 のダミーパターン上から延在する第 1 の絶縁膜上に有する、導電性膜からなる配線パターンと、

前記第 1 のダミーパターン上に、前記第 1 の絶縁膜を介して有する、前記導電性膜からなり、前記配線パターン及び前記第 1 のダミーパターンと電氣的に絶縁された第 2 のダミーパターンと、

前記回路形成領域の前記配線パターン間の前記第 1 の絶縁膜上に、第 2 の絶縁膜、第 3 の絶縁膜及び第 4 の絶縁膜が順に積層され、

前記第 2 の絶縁膜と前記第 4 の絶縁膜が、前記第 2 のダミーパターン上に順に積層されていることを特徴とする半導体装置の構造。

【請求項 9】 前記第 3 の絶縁膜が SOG 膜であることを特徴とする請求項

8に記載の半導体装置の構造。

【請求項 1 0】 前記半導体基体平面において、前記回路形成領域を基準にして外側方向への前記第 1 のダミーパターン及び前記第 2 のダミーパターンの幅寸法が、 $1 \sim 2 \mu\text{m}$ であることを特徴とする請求項 8 又は請求項 9 に記載の半導体装置の構造。

【請求項 1 1】 半導体基体上に形成された導電性膜で、回路形成領域に配線パターンを形成すると共に、前記回路形成領域の外側で前記回路形成領域を囲む、前記配線パターンと電氣的に絶縁された所定の幅寸法のダミーパターンを形成する工程と、

前記配線パターン及び前記ダミーパターンを含む前記基体上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 2 の絶縁膜、第 3 の絶縁膜を形成する工程とを順に施すことを特徴とする半導体装置の製造方法。

【請求項 1 2】 半導体基体上に形成された導電性膜で、配線パターンを形成すると共に、前記配線パターンの外側で前記配線パターンを囲み、前記配線パターンと電氣的に絶縁された所定の幅寸法のダミーパターンを形成する工程と、前記配線パターン及び前記ダミーパターンを含む前記基体上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 2 の絶縁膜、第 3 の絶縁膜を形成する工程と、

前記配線パターン上部表面の一部を露出させる工程を順に施すことを特徴とする半導体装置の製造方法。

【請求項 1 3】 前記第 2 の絶縁膜が SOG 膜であることを特徴とする請求項 1 1 又は請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記第 2 の絶縁膜形成の後、

前記ダミーパターン上部が露出するように前記第 2 の絶縁膜をエッチングする工程と、

その後、露出したダミーパターンを含む前記第 2 の絶縁膜上に第 3 の絶縁膜を形成する工程と順に施すことを特徴とする請求項 1 1 乃至 1 3 のいずれか一つに記載の半導体装置の製造方法。

【請求項 1 5】 半導体基体上に形成された導電性膜で、回路形成領域に配線パターンを形成すると共に、前記回路形成領域の外側で前記回路形成領域を囲む、前記配線パターンと電氣的に絶縁された所定の幅寸法の第 1 のダミーパターンと、前記回路形成領域を基準として該第 1 のダミーパターンの外側に該第 1 のダミーパターンを囲んで、該第 1 のダミーパターン及び前記配線パターンと電氣的に絶縁され、該第 1 のダミーパターンと略同一の幅寸法の第 2 のダミーパターンとを形成する工程と、

前記配線パターン、前記第 1 のダミーパターン及び前記第 2 のダミーパターンを含む前記基体上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 2 の絶縁膜、第 3 の絶縁膜を形成する工程とを順に施すことを特徴とする半導体装置の製造方法。

【請求項 1 6】 前記第 2 の絶縁膜が SOG 膜であることを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】 前記所定の幅寸法を略  $1\ \mu\text{m}$  とすることを特徴とする請求項 1 1 乃至請求項 1 6 のいずれか一つに記載の半導体装置の製造方法。

【請求項 1 8】 半導体基体上に形成された第 1 の膜で、回路形成領域の外側に前記回路形成領域を囲む、所定の幅寸法の第 1 のダミーパターンを形成する工程と、

前記第 1 のダミーパターンを含む前記基体上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に導電性膜を形成する工程と、

前記導電性膜で、前記回路形成領域に配線パターンを形成すると共に、前記第 1 のダミーパターン上で、前記第 1 の絶縁膜を介して、前記配線パターンと電氣的に絶縁された、前記所定の幅寸法と略同一幅寸法の第 2 のダミーパターンを形成する工程と、

前記回路パターン、前記第 2 のダミーパターンを含む前記第 1 の絶縁膜上に、第 2 の絶縁膜、第 3 の絶縁膜及び第 4 の絶縁膜を形成する工程を順に施すことを特徴とする半導体装置の製造方法。

【請求項 1 9】 前記第 3 の絶縁膜が SOG 膜であることを特徴とする請求

項 1 8 に記載の半導体装置の製造方法。

【請求項 2 0】 前記所定の幅寸法を  $1 \sim 2 \mu\text{m}$  とすることを特徴とする請求項 1 8 又は請求項 1 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、L S I の配線構造及びその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

従来、L S I は以下に示す方法により製造されているものがあった。図 9 の断面形状フロー図において説明する。半導体基板にトランジスタ等の素子（図示せず）を回路形成領域に形成後、絶縁膜を形成し、半導体基体 101 を形成する。その後、この半導体基体 101 上に、アルミなどの金属膜を形成し、ホトリソ及びエッチング工程により回路形成領域に所望の配線パターン 102 を形成する。この状態を図 9 (a) に示す。次に、絶縁膜として例えばシリコン酸化膜 103 を C V D (Chemical Vapor Deposition) 法で、配線パターン 102 を含む半導体基体 101 上に被覆形成する。その後、平坦化のために S O G (Spin On Glass) 膜 104 をシリコン酸化膜 103 上に塗布する。ここで、形成される S O G 膜 104 の膜厚は下地に配線パターン 102 のない領域では厚く、配線パターン 102 上には薄くなるため、平坦化を実現できる。次に、この S O G 膜 104 上にシリコン酸化膜 105 を C V D 法で形成する。この状態を図 9 (b) に示す。その後、ホトリソ及びエッチング工程を行い、回路形成領域とその領域の製造余裕を含めたデバイスチップのエッジ（縁）1000 の外側を半導体基体 101 まで露出させ、また、回路形成領域のボンディングのためのパッド部において配線パターン 102 が露出するように開口部 106 を形成する。この状態を図 9 (c) に示す。

【0 0 0 3】

【発明が解決しようとする課題】

しかし、以上述べた半導体装置の製造方法では、デバイスチップのエッジ及びボンディングのための開口部 106 の側壁の S O G 膜 104 露出面から水分がデバイス



内に侵入し、配線パターン102等の金属を腐食させる。これにより、デバイス特性の劣下を引き起こし、信頼性を低下させてしまう。これは、SOG膜104が吸湿性の膜のためである。

【0004】

【課題を解決するための手段】

上記課題を解決すべく、本発明の半導体装置の構造は、半導体基体上に、導電性膜からなる配線パターンを有する回路形成領域と、上記回路形成領域の外側に上記回路形成領域を囲んで上記基体上に有する、上記導電性膜からなり、上記配線パターンと電気的に絶縁されたダミーパターンと、上記回路形成領域の上記配線パターン間の上記基体上に、第1の絶縁膜、第2の絶縁膜及び第3の絶縁膜が順に積層され、上記回路形成領域から延在する上記第1の絶縁膜と上記第3の絶縁膜が、上記ダミーパターン上に順に積層されていることを特徴とする。

【0005】

【発明の実施の形態】

以下、本発明の実施例を図1、3、5、7、8の断面形状図と、図2、4、6の補助図を用いて詳細に説明する。

【0006】

図1は本発明の第1実施例による半導体装置の製造方法の流れを示す工程断面フロー図である。本発明の第1実施例における半導体装置の製造方法について以下に説明する。

【0007】

まず始めに、半導体基板にトランジスタ等の素子（図示せず）を回路形成領域に形成後、絶縁膜を形成し、半導体基体201を形成する。その後、この半導体基体201上に、導電性膜として膜厚600nmのアルミ金属膜を形成し、ホトリソ及びエッチング工程により回路形成領域に所望の配線パターン202を形成する。この配線パターン202形成の際、回路形成領域の配線パターン202と電気的に絶縁された所定の幅寸法のパターン（以下、ダミーパターンという）202aをアルミ金属膜で形成する。このダミーパターン202aは、平面パターンで回路形成領域より製造余裕寸法以上外側で、かつ、後に形成されるデバイスチップのエッジから製

造余裕寸法以上内側に形成する。

【0008】

例えば、デバイスチップのサイズが $1000 \times 1000 \mu\text{m}$ の正方形で、回路形成領域が $800 \times 800 \mu\text{m}$ の正方形で、このデバイスチップ正方形と回路形成領域の正方形の重心が同じで、製造余裕寸法がホトリソ工程の余裕（ここでは、 $0.05 \mu\text{m}$ とする）で決まるとすると、ダミーパターンが形成可能とされる領域は、 $((1000 - 0.05) - (800 + 0.05)) / 2$ の寸法幅の帯状領域で、回路領域を囲むようになる。

【0009】

さらに、デバイスチップのエッジから回路形成領域側に距離 $L$ の位置に所定幅 $Lw$ のダミーパターン202aを形成するとする。ここで距離 $L$ は $10 \mu\text{m}$ 以上の値であることが望ましい。この状態の断面形状図を図1(a)に示す。また、デバイスチップの平面パターンで見ると、このダミーパターン202aはチップ周囲に沿ってチップ内帯状に形成されることになる。

【0010】

次に、配線パターン202やダミーパターン202aを含む半導体基体201上に、第1の絶縁膜としてシリコン酸化膜203をCVD法で $200 \text{ nm}$ 形成する。次に、平坦化のために第2の絶縁膜としてSOG膜204をシリコン酸化膜203上に塗布、形成する。この際、ダミーパターン202a上に形成されたシリコン酸化膜203の上にはSOG膜204がほとんど形成されないようにする。その後、露出したシリコン酸化膜203及びSOG膜204の上に、第3の絶縁膜としてシリコン酸化膜205をCVD法で $400 \text{ nm}$ 形成する。この状態の断面形状図を図1(b)に示す。

【0011】

さらにその後、ホトリソ及びエッチング工程を行い、デバイスチップのエッジ1000の外側において半導体基体201を露出させる。この状態の断面形状図を図1(c)に示す。

【0012】

以上のような製造方法で、以下の評価を行った。

【0013】

図 1 (c) に示す距離  $L$  を  $10\ \mu\text{m}$  以上の任意の値とし、固形分濃度  $5.2\text{wt}\%$ 、粘度  $1.03\text{mPa}\cdot\text{sec}$  の SOG 膜 204 を回転数  $5000\ \text{rpm}$  で塗布、形成した。

【0014】

これらの条件により、幅  $Lw$  のダミーパターン 202a 上に形成される SOG 膜の膜厚は図 2 (a) のグラフに示されるような結果になった。図 2 (a) のグラフの縦軸は図 1 (c) のダミーパターン 202a 上に形成される SOG 膜の膜厚である。横軸は寸法  $Lw$ 、又は  $LS$  である。寸法  $LS$  は、断面形状図を模式的に表す図 2 (b) に示されるように、平面パターンで回路形成領域内の配線パターンのうちダミーパターンまでの最短寸法を示す。ここで、図 2 (b) に示す配線パターン間シリコン酸化膜 203 上の SOG 膜の膜厚は約  $120\ \text{nm}$  となった。

【0015】

図 2 (a) のグラフにおいて、グラフ 1 は、寸法  $LS$  を  $2.6\ \mu\text{m}$  に設定して、寸法  $Lw$  を  $1\sim100\ \mu\text{m}$  まで変化させた場合のダミーパターン 202a 上の膜厚を示す。寸法  $Lw$  を大きくするにつれてダミーパターン 202a 上の膜厚も大きくなっている。また、グラフ 2 は、寸法  $Lw$  を  $1.0\ \mu\text{m}$  に設定して、寸法  $LS$  を  $0.9\sim5\ \mu\text{m}$  まで変化させた場合のダミーパターン 202a 上の膜厚を示す。寸法  $Lw$  を  $1.0\ \mu\text{m}$  とすれば、寸法  $LS$  を  $5\ \mu\text{m}$  まで大きくしてもダミーパターン 202a 上の SOG 膜の膜厚はほぼ  $0\ \text{nm}$  であった。

【0016】

これらの結果から、ダミーパターン 202a 上の SOG 膜の膜厚をほぼ  $0\ \text{nm}$  にするためには幅  $Lw$  を  $1\ \mu\text{m}$  程度とすれば良いことがわかる。すなわち、ダミーパターン 202a の幅  $Lw$  を  $1\ \mu\text{m}$  程度とし、かつデバイスチップのエッジ 1000 から回路形成領域側への距離  $L$  が  $10\ \mu\text{m}$  以上になるように、ダミーパターン 202a を配置すれば、図 1 (c) に示すように、デバイスチップのエッジからの SOG 膜はダミーパターン 202a と回路形成領域から延在するシリコン酸化膜 205 とで、回路形成領域側 SOG 膜とは遮断される。

【0017】

これにより、SOG 膜を介して回路形成領域へ水分が侵入することを防ぐことができる。なお、この幅寸法  $1\ \mu\text{m}$  をさらに極端に短くすると、水分の侵入防止

の効果が低くなると考えられる。

【 0 0 1 8 】

配線パターン202形成時に、ダミーパターン202aを形成できるので、新たな工程を必要とせず、SOG膜を介して回路形成領域へ水分が侵入するのを防ぎ、平坦性かつ信頼性に優れたデバイスを製造する効果が得られる。

【 0 0 1 9 】

次に、本発明の第2実施例における半導体装置の製造方法について以下に説明する。図3は本発明の第2実施例による半導体装置の製造方法の流れを示す工程断面フロー図である。

【 0 0 2 0 】

半導体基板にトランジスタ等の素子（図示せず）を回路形成領域に形成後、絶縁膜を形成し、半導体基体201を形成する。その後、この半導体基体201上に、第1の膜として膜厚約300nmのタンゲステンポリサイド膜を形成し、ホトリソ及びエッチング工程により、第1のダミーパターン300aを形成する。この第1のダミーパターン300aは、第1実施例のダミーパターンと同様に、デバイスチップのエッジから回路形成領域側に距離Lの位置に幅Lwで形成する。ここで距離Lは10μm以上の値とする。また、デバイスチップの平面パターンで見ると、この第1のダミーパターン300aはチップ周囲に沿ってチップ内帯状に形成されることになる。さらに、第1実施例に記載したように製造余裕寸法についても同様に考慮される。

【 0 0 2 1 】

次に、第1のダミーパターン300aを含めた半導体基体201上に第1の絶縁膜として不純物濃度P205=15wt%,B203=10wt%のBPSG膜（Boro Phosph Silicate Glass）302を800nm形成する。その後、900℃、窒素雰囲気、30分の熱処理を行い、平坦化する。この後、BPSG膜上に導電性膜として膜厚600nmのアルミ金属膜を形成し、ホトリソ及びエッチング工程により、配線パターン304及び第2のダミーパターン304aを形成する。第2のダミーパターン304aは、第1のダミーパターン300a上に形成されたBPSG膜302上に形成される。第2のダミーパターン304aは、第1のダミーパターン300aと略同一パターンで、略同

一の位置に形成する。この際、製造余裕寸法のばらつきによる寸法の違いや位置ずれが起こり得るものとする。この状態の断面形状を図3 (a) に示す。

#### 【0022】

次に、配線パターン304及び第2のダミーパターン304aを含むBPSG膜302上に、第2の絶縁膜としてシリコン酸化膜306をCVD法で200nm形成する。次に、平坦化のために第3の絶縁膜としてSOG膜308をシリコン酸化膜306上に塗布、形成する。その後、露出したシリコン酸化膜306及びSOG膜308の上に、第4の絶縁膜としてシリコン酸化膜310をCVD法で400nm形成する。この状態の断面形状図を図3 (b) に示す。

#### 【0023】

さらにその後、ホトリソ及びエッチング工程を行い、デバイスチップのエッジ1000外側においてBPSG膜302を露出させる。この状態の断面形状図を図3 (c) に示す。

#### 【0024】

以上のような製造方法で、以下の評価を行った。

#### 【0025】

図3 (c) に示す距離Lを10 $\mu$ m以上の任意の値とし、固形分濃度5.2wt%、粘度1.03mPa $\cdot$ secのSOG膜308を回転数5000rpmで塗布、形成した。

#### 【0026】

これらの条件により、幅Lwの第2のダミーパターン304a上に形成されるSOG膜の膜厚は図4 (a) のグラフに示されるような結果になった。図4 (a) のグラフの縦軸は図3 (c) の第2のダミーパターン304a上に形成されるSOG膜の膜厚である。横軸は寸法Lw、又はLsである。寸法Lsは、断面形状図を模式的に表す図4 (b) に示されるように、平面パターンで回路形成領域内の配線パターンのうちダミーパターンまでの最短寸法を示す。なお、この第2実施例では、上述したように、第2のダミーパターン304aの幅寸法に合わせて第1のダミーパターン300aの幅寸法も略同一になるように形成している。ここで、図3 (b) に示す配線パターン間シリコン酸化膜306上のSOG膜の膜厚は約120nmとなった。

## 【 0 0 2 7 】

図 4 (a) のグラフにおいて、グラフ 3 は、寸法  $L_s$  を  $2.6 \mu m$  に設定して、寸法  $L_w$  を  $1 \sim 7 \mu m$  まで変化させた場合の第 2 のダミーパターン 304a 上の膜厚を示す。寸法  $L_w$  が  $2 \mu m$  以上では、 $L_w$  が大きくなるにつれて第 2 のダミーパターン 304a 上の膜厚も大きくなっている。また、グラフ 4 は、寸法  $L_w$  を  $1.0 \mu m$  に設定して、寸法  $L_s$  を  $0.9 \sim 5 \mu m$  まで変化させた場合の第 2 のダミーパターン 304a 上の膜厚を示す。寸法  $L_w = 1.0 \mu m$  で、寸法  $L_s$  を  $5 \mu m$  まで大きくしても第 2 のダミーパターン 304a 上の SOG 膜の膜厚はほぼ  $0 nm$  であった。

## 【 0 0 2 8 】

これらの結果から、第 2 のダミーパターン 304a 上の SOG 膜の膜厚をほぼ  $0 nm$  にするためには幅  $L_w$  を  $2 \mu m$  以下とすれば良いことがわかる。すなわち、第 1 のダミーパターン 300a 及び第 2 のダミーパターン 304a の幅  $L_w$  を  $1 \sim 2 \mu m$  とし、かつデバイスチップのエッジ部から回路形成領域側に距離  $L$  が  $10 \mu m$  以上になるように、第 1 のダミーパターン 300a 及び第 2 のダミーパターン 304a を配置すれば、図 3 (c) に示すように、デバイスチップのエッジからの SOG 膜は第 2 のダミーパターン 304a と回路形成領域から延在するシリコン酸化膜 310 とで、回路形成領域側 SOG 膜とは遮断される。

## 【 0 0 2 9 】

これにより、SOG 膜を介して回路形成領域へ水分が侵入することを防ぐことができる。

## 【 0 0 3 0 】

第 1 実施例同様に、SOG 膜を介して回路形成領域へ水分が侵入するのを防ぎ、平坦性かつ信頼性に優れたデバイスを製造する効果が得られる。また、第 1 の膜が上述したように導電性の膜であれば、第 1 の膜による配線パターン形成時に、第 1 のダミーパターン 300a を形成できる。このように配線パターンを 2 層以上形成するデバイスにも対応でき、この場合に新たな工程を必要としない。また、第 1 のダミーパターン 300a 及び第 2 のダミーパターン 304a の幅  $L_w$  を  $1 \sim 2 \mu m$  と寸法の選択の範囲が第 1 実施例に比べて広くなる効果を得る。

## 【 0 0 3 1 】

図 5 は本発明の第 3 実施例による半導体装置の製造方法の流れを示す工程断面フロー図である。本発明の第 3 実施例における半導体装置の製造方法について以下に説明する。

## 【 0 0 3 2 】

半導体基板にトランジスタ等の素子（図示せず）を回路形成領域に形成後、絶縁膜を形成し、半導体基体 201 を形成する。その後、この半導体基体 201 上に、導電性膜として膜厚 6 0 0 n m のアルミ金属膜を形成し、ホトリソ及びエッチング工程により回路形成領域に所望の配線パターン 402 を形成する。この配線パターン 402 形成の際、回路形成領域の配線パターン 402 と電氣的に絶縁された所定の幅寸法のパターン（以下、ダミーパターンという）402a をアルミ金属膜で形成する。このダミーパターン 402a は、第 1 実施例のダミーパターンと同様に形成される。すなわち、デバイスチップのエッジから回路形成領域側に距離 L の位置に幅 L w で形成される。ここで距離 L は 1 0  $\mu$  m 以上の値とする。また、デバイスチップの平面パターンで見ると、このダミーパターン 402a はチップ周囲に沿ってチップ内帯状に形成されることになる。さらに、第 1 実施例に記載したように製造余裕寸法についても同様に考慮される。この状態の断面形状を図 5（a）に示す。

## 【 0 0 3 3 】

次に、配線パターン 402 やダミーパターン 402a を含む半導体基体 201 上に、第 1 の絶縁膜としてシリコン酸化膜 404 を C V D 法で 2 0 0 n m 形成する。次に、平坦化のために S O G 膜をシリコン酸化膜 404 上に複数回塗布、形成する。つまり、S O G 膜を塗布、乾燥させた後、S O G 膜を塗布及び乾燥させる作業を少なくとも一回以上行う。これにより第 2 の絶縁膜として S O G 膜 406 が形成される。この状態の断面形状を図 5（b）に示す。

## 【 0 0 3 4 】

その後、ドライエッチングとしてリアクティブエッチング方法により、ダミーパターン 402a 上に S O G 膜がほとんど残らないように S O G 膜を除去する。この時のエッチング条件とエッチングレートを以下に示す。

## 【 0 0 3 5 】

ガス流量比： $\text{CHF}_3/\text{CF}_4/\text{Ar}=20/15/200$  [sccm]  
 $=4/3/40$

圧力：40 [Pa]

RFパワー：200 [W]

SOG膜のエッチングレート：7.5 [nm/sec]

このエッチングレートで、ダミーパターン402a上のSOG膜を除去するようにエッチング時間を設定して処理した。この後の状態の断面形状を図5(c)に示す。

#### 【0036】

その後、露出したシリコン酸化膜404及びSOG膜406aの上に、第3の絶縁膜としてシリコン酸化膜408をCVD法で400nm形成する。この状態の断面形状図を図5(d)に示す。

#### 【0037】

さらにその後、ホトリソ及びエッチング工程を行い、デバイスチップのエッジ1000外側において半導体基体201を露出させる。この状態の断面形状図を図5(e)に示す。

#### 【0038】

以上のような製造方法で、以下の評価を行った。

#### 【0039】

図5(e)に示す距離Lを10 $\mu$ m以上の任意の値とし、固形分濃度5.2wt%，粘度1.03mPa・secのSOG膜を回転数5000rpmで2度塗り、3度塗りの場合でSOG膜406を形成した。

この2度塗り、3度塗りの場合において、図5(b)に示す配線パターン間シリコン酸化膜404上のSOG膜の膜厚はそれぞれ約240nm、360nmとなった。また、図5(b)におけるダミーパターン402a上のSOG膜の膜厚は、それぞれ約40nm、90nmであった。そのため、この後のドライエッチングの時間は、それぞれ5.3秒、12秒であった。

#### 【0040】

これらを実行した結果、幅Lwのダミーパターン402a上に形成されるSOG膜



の膜厚は図 6 (a) のグラフに示されるようになった。図 6 (a) のグラフの縦軸は図 5 (e) のダミーパターン 402a 上に形成される SOG 膜の膜厚である。横軸は寸法  $L_w$ 、又は  $L_s$  である。寸法  $L_s$  は、断面形状図を模式的に表す図 6 (b) に示されるように、平面パターンで回路形成領域内の配線パターンのうちダミーパターンまでの最短寸法を示す。

#### 【0041】

図 6 (a) のグラフにおいて、グラフ 5 は、寸法  $L_s$  を  $2.6 \mu\text{m}$  に設定して、寸法  $L_w$  を  $1 \sim 100 \mu\text{m}$  まで変化させた場合のダミーパターン 402a 上の膜厚を示す。寸法  $L_w$  が  $1 \mu\text{m}$  以上では、 $L_w$  が大きくなるにつれてダミーパターン 402a 上の膜厚も大きくなっている。また、グラフ 6 は、寸法  $L_w$  を  $1.0 \mu\text{m}$  に設定して、寸法  $L_s$  を  $0.9 \sim 5 \mu\text{m}$  まで変化させた場合のダミーパターン 402a 上の膜厚を示す。寸法  $L_w = 1.0 \mu\text{m}$  で、寸法  $L_s$  を  $5 \mu\text{m}$  まで大きくしてもダミーパターン 402a 上の SOG 膜の膜厚はほぼ  $0 \text{ nm}$  であった。

#### 【0042】

これらの結果から、平坦性を向上させるために SOG 膜を複数回塗布、形成しても、エッチング工程を組み合わせることで、ダミーパターン 402a の幅  $L_w$  を  $1 \mu\text{m}$  程度とすればダミーパターン 402a 上の SOG 膜の膜厚をほぼ  $0 \text{ nm}$  にすることができた。すなわち、ダミーパターン 402a の幅  $L_w$  を  $1 \mu\text{m}$  程度とし、かつデバイスチップのエッジ部から回路形成領域側に距離  $L$  が  $10 \mu\text{m}$  以上になるように、ダミーパターン 402a を配置すれば、図 5 (e) に示すように、デバイスチップのエッジからの SOG 膜はダミーパターン 402a と回路形成領域から延在するシリコン酸化膜 408 とで、回路形成領域側 SOG 膜とは遮断される。

#### 【0043】

これにより、SOG 膜を介して回路形成領域へ水分が侵入することを防ぐことができる。なお、この幅寸法  $1 \mu\text{m}$  をさらに極端に短くすると、水分の侵入防止の効果が低くなると考えられる。

#### 【0044】

第 1 実施例と同様に、SOG 膜を介して回路形成領域へ水分が侵入するのを防ぎ、信頼性に優れたデバイスを製造する効果が得られる。さらに、SOG 膜を

複数回塗布、形成しているので、第 1 実施例より平坦性が向上する効果を得ることができる。

【 0 0 4 5 】

図 7 は本発明の第 4 実施例による半導体装置の断面構造を示す図である。本発明の第 4 実施例における半導体装置の構造について以下に説明する。

【 0 0 4 6 】

この第 4 実施例は、第 1 実施例においてダミーパターンを一つ設けていたのを、複数設けるようにしたものである。図 7 において、ダミーパターンを 2 本設けた例を示す。第 1 実施例のダミーパターンを第 1 のダミーパターン 500a とすると、平面パターンで回路形成領域を基準にして、この第 1 のダミーパターンの外側に、略同一幅 ( $Lw$ ) 寸法の第 2 のダミーパターン 500b を設ける。ここで、図 7 に示す  $Ls$  の寸法は、平面パターンで、第 1 のダミーパターン 500a と第 2 のダミーパターン 500b との間の距離を表し、 $0.9\ \mu m$  以上あれば良い。

【 0 0 4 7 】

これにより、第 1 の実施例と同様な効果が得られると共に、より水分の侵入を防ぐ効果が得られる。

【 0 0 4 8 】

図 8 は本発明の第 5 実施例による半導体装置の断面構造を示す図である。本発明の第 5 実施例における半導体装置の構造について以下に説明する。

【 0 0 4 9 】

この第 5 実施例は、第 1 実施例で回路形成領域の周囲にダミーパターンを設けていたのを、配線パターンの一つであるボンディングのためのパッド部の周囲に設けるようにしたものである。

【 0 0 5 0 】

図 8 に示すように、平面パターンで、ボンディングのための開口部 602 を設けたパッド部パターン 601 のエッジから、このパッド部パターンを基準にして外側に距離  $Ls$  離れた位置にダミーパターン 600a を設けている。この距離  $Ls$  は  $0.9\ \mu m$  以上あれば良い。このダミーパターン 600a の寸法幅 ( $Lw$ ) は、第 1 実施例のダミーパターンと略同一幅寸法であれば良い。このパッド部パターン 601

は下層の半導体基体201に形成された配線（図示しない）により回路形成領域の他の配線パターンと電氣的に接続され得る。

【0051】

これにより、ボンディングのためのパッド部パターン601の開口部602から、SOG膜を介して回路形成領域へ水分が侵入することを防ぐ効果が得られる。

【0052】

第1実施例乃至第5実施例において、SOG膜の上層及び下層に用いる膜をシリコン酸化膜としたが、他にもシリコン窒化膜、PSG（Phosph Silicate Glasses）膜、BPSG膜でも良いし、これらの膜の積層膜でも良い。これらの絶縁膜は層間絶縁膜としても良い。

【0053】

第1実施例、第2実施例、第4実施例又は第5実施例において、第3の実施例のSOG膜をエッチングする処理を組み合わせても良い。SOG膜を厚膜化して、平坦化する効果を得られる。

【0054】

また、第1実施例乃至第5実施例において、SOG膜の固形分濃度を高くする場合には、ダミーパターンの幅寸法をそれぞれの実施例で長く設定すれば良い。また、SOG膜の固形分濃度を低くする場合には、ダミーパターンの幅寸法をそれぞれの実施例で短く設定すれば良い。ただし、第3の実施例による製造方法では、ダミーパターンの幅寸法を変えずに、SOG膜のエッチング時間を変えることでも可能である。つまり、SOG膜の固形分濃度を高くする場合には、ダミーパターン上の膜厚が厚くなるのでエッチング時間を長くする。そして、SOG膜の固形分濃度を低くする場合には、ダミーパターン上の膜厚が薄くなるので、エッチング時間を短くすれば良い。

【0055】

さらに、第2実施例のBPSG膜302は、熱処理により平坦化される特性を持つ他の膜（例えばPSG膜）でもよい、

【0056】

【発明の効果】

本発明の半導体装置の構造及び製造方法によれば、平面パターンで、デバイスの回路形成領域より外側で、かつデバイスチップのエッジから内側にダミーパターンを形成することにより、層間絶縁膜のSOG膜を介して回路形成領域へ水分が侵入するのを防ぎ、平坦性かつ信頼性に優れたデバイスを製造する効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施例による半導体装置の製造方法を示すフロー図である。

【図 2】

(a) 寸法  $L_w$  又は  $L_s$  と、ダミーパターン上の SOG 膜膜厚との関係を示すグラフである。

(b) 幅  $L_w$  又は  $L_s$  を示す断面形状模式図である。

【図 3】

本発明の第 2 実施例による半導体装置の製造方法を示すフロー図である。

【図 4】

(a) 寸法  $L_w$  又は  $L_s$  と、第 2 のダミーパターン上の SOG 膜膜厚との関係を示すグラフである。

(b) 幅  $L_w$  又は  $L_s$  を示す断面形状模式図である。

【図 5】

本発明の第 3 実施例による半導体装置の製造方法を示すフロー図である。

【図 6】

(a) 寸法  $L_w$  又は  $L_s$  と、ダミーパターン上の SOG 膜膜厚との関係を示すグラフである。

(b) 幅  $L_w$  又は  $L_s$  を示す断面形状模式図である。

【図 7】

本発明の第 4 実施例による半導体装置の断面構造を示す図である。

【図 8】

本発明の第 5 実施例による半導体装置の断面構造を示す図である。

【図 9】

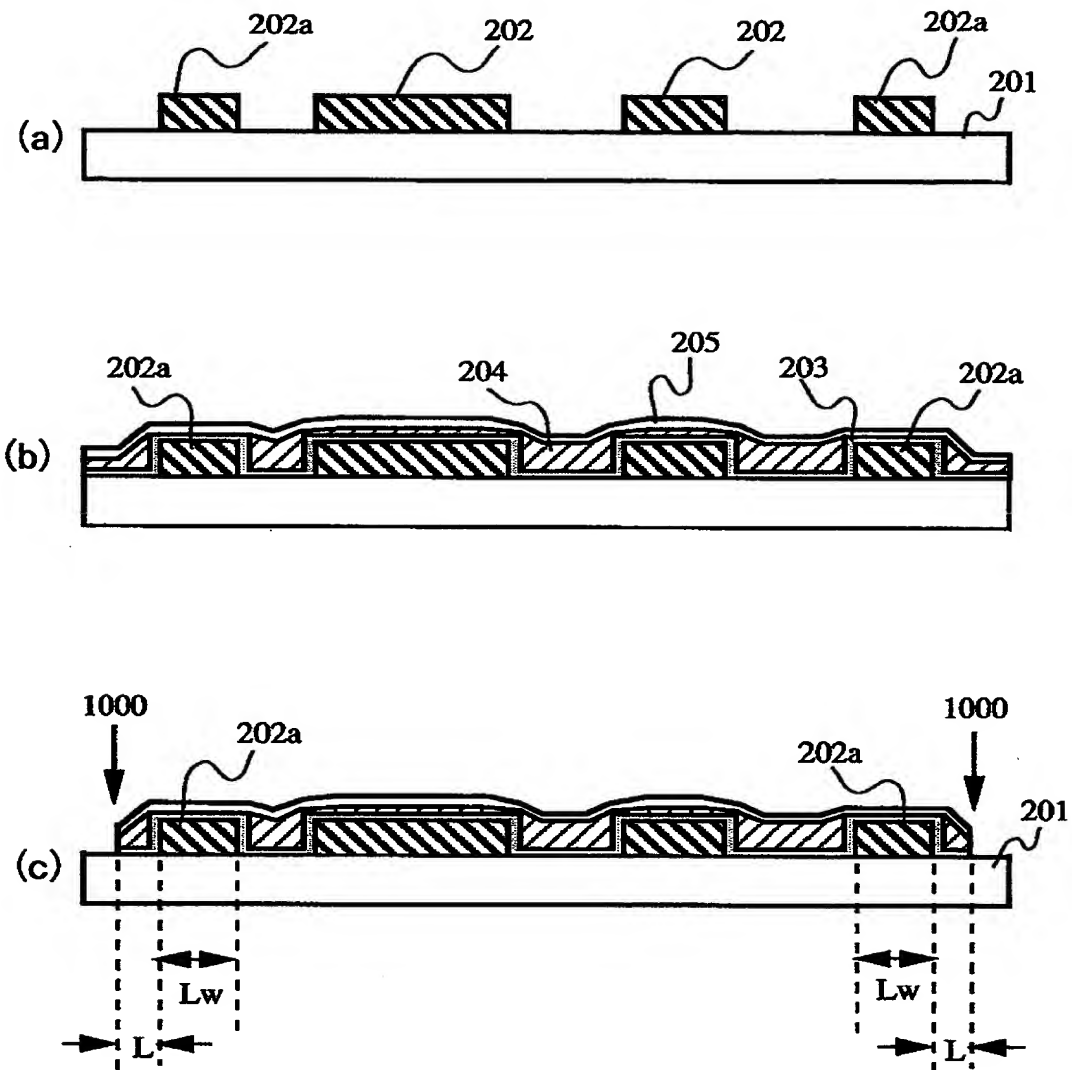
従来技術による半導体装置の製造方法を示す工程断面フロー図である。

【符号の説明】

101、201	半導体基体
102、202、304、402、500、 600	配線パターン
202a、402a、600a	ダミーパターン
300a、500a	第1のダミーパターン
304a、500b	第2のダミーパターン
103、105、203、205、306、 310、404、408、502、506、 604、608	シリコン酸化膜
104、204、308、406、406a、 504、606	SOG膜
302	BPSG膜
601	パッド部パターン
602	開口部
1000	デバイスチップのエッジ

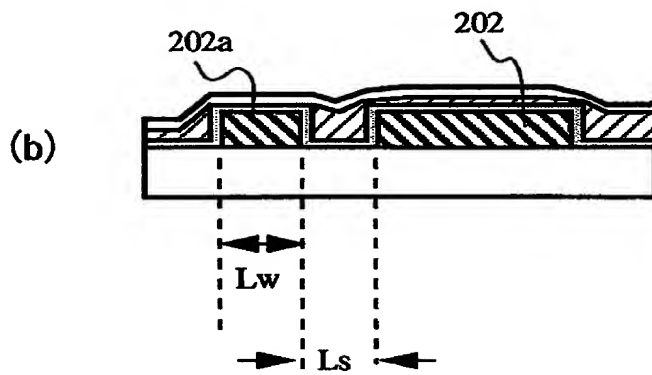
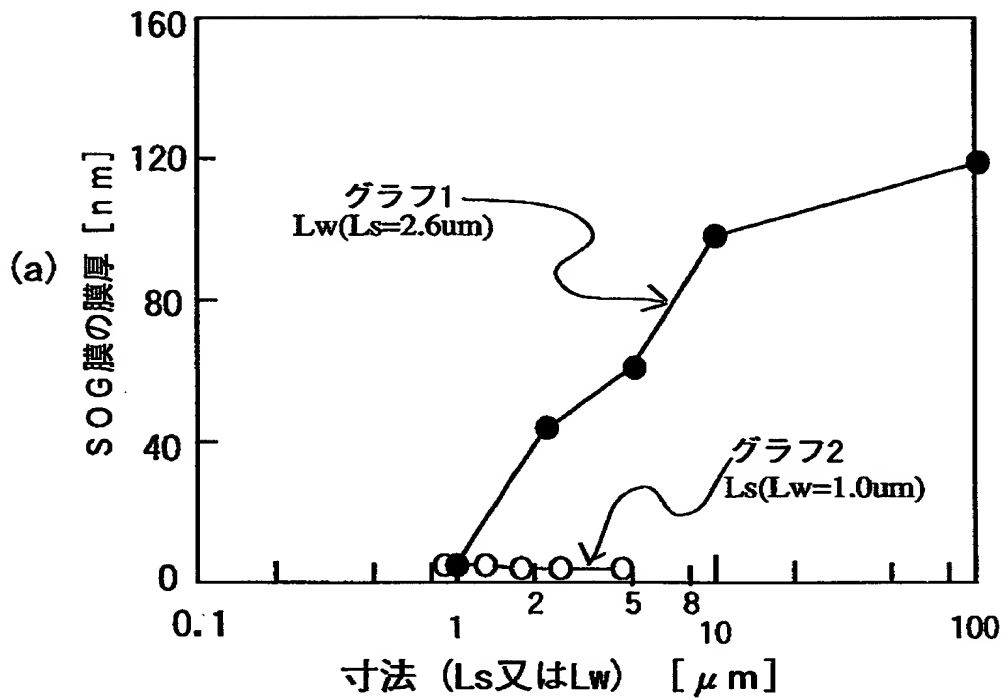
【書類名】 図面

【図 1】

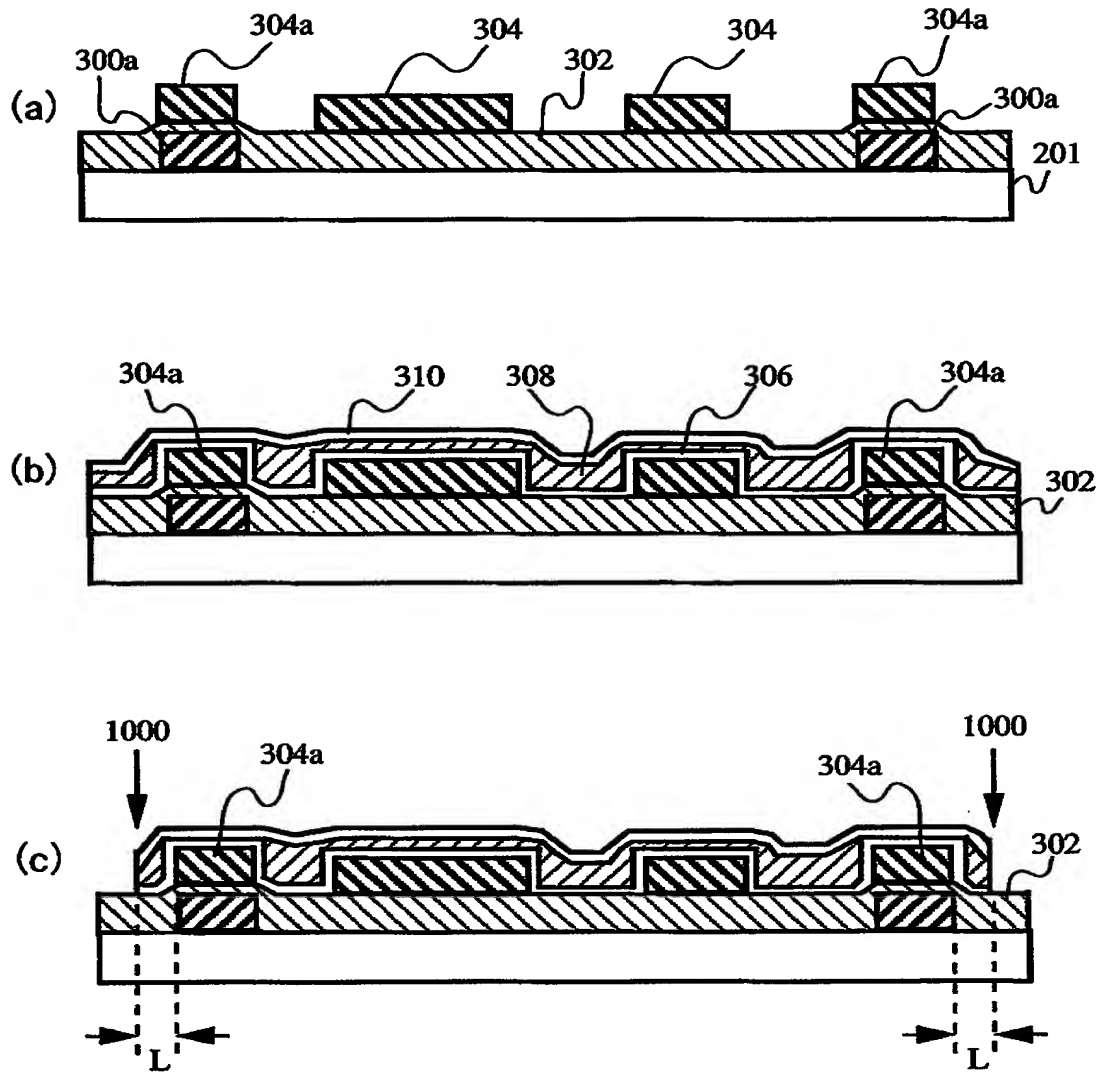


201:半導体基体  
 202:配線パターン  
 202a:ダミーパターン  
 203:シリコン酸化膜  
 204:SOG膜  
 205:シリコン酸化膜  
 1000:デバイスチップのエッジ

【図2】



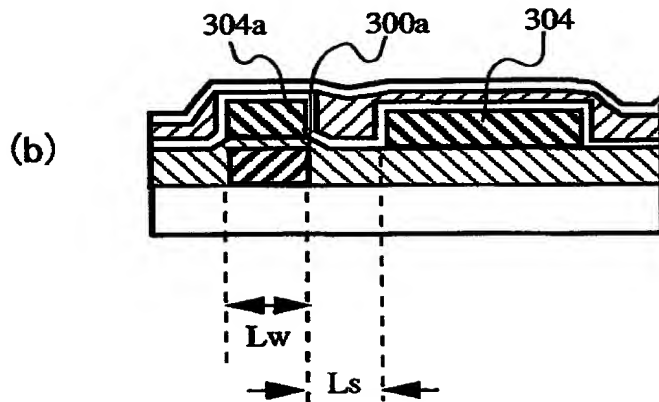
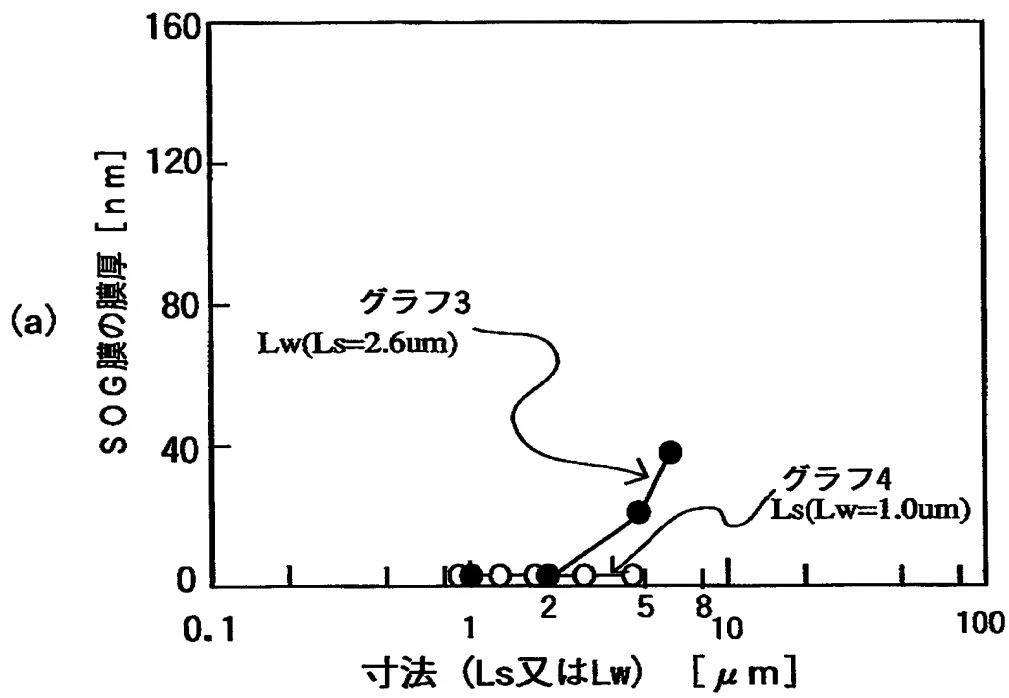
【図 3】



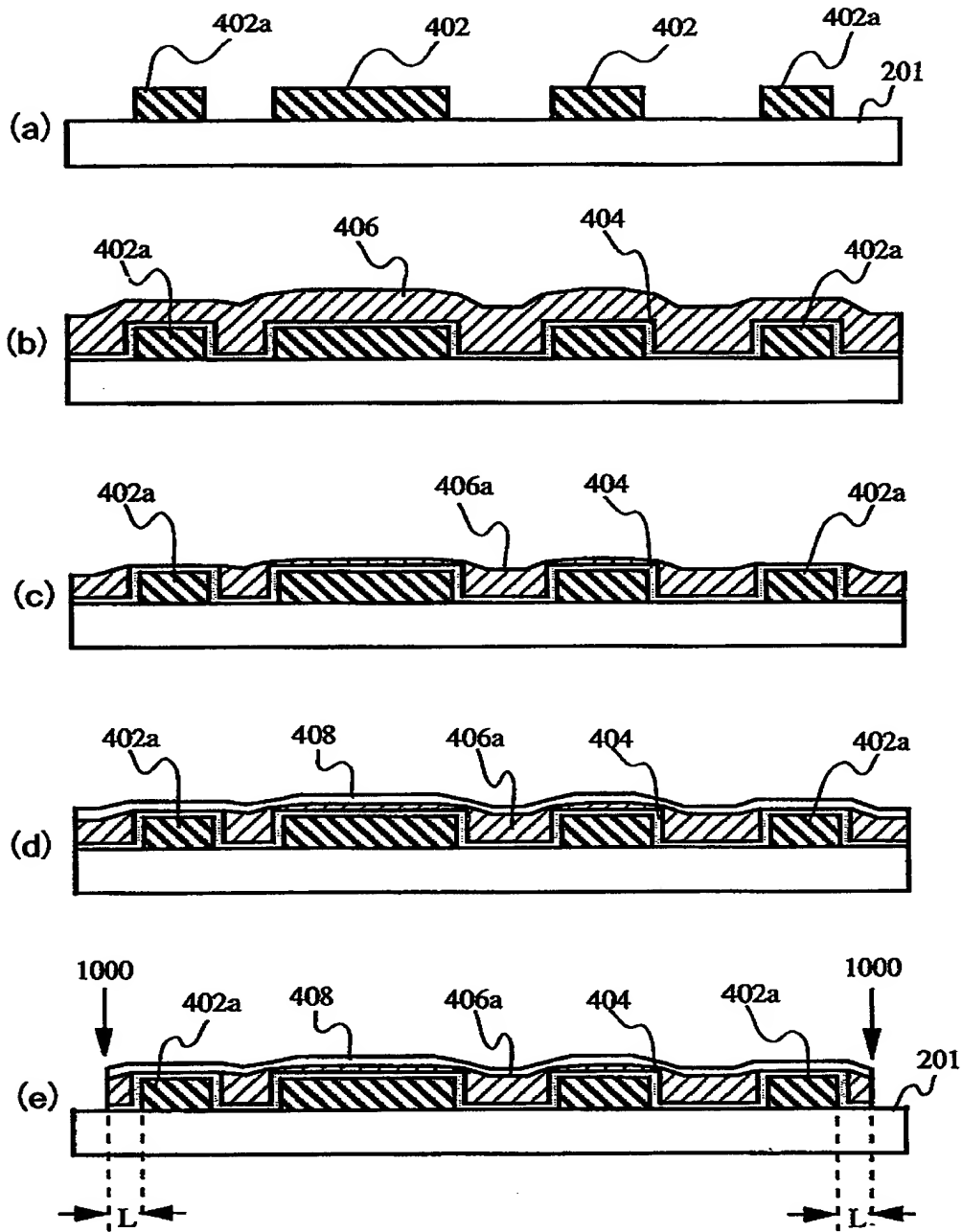
- 201:半導体基体
- 300a:第 1 のダミーパターン
- 302:B P S G 膜
- 304:配線パターン
- 304a:第 2 のダミーパターン
- 306:シリコン酸化膜
- 308:S O G 膜
- 310:シリコン酸化膜
- 1000:デバイスチップのエッジ



【図 4】

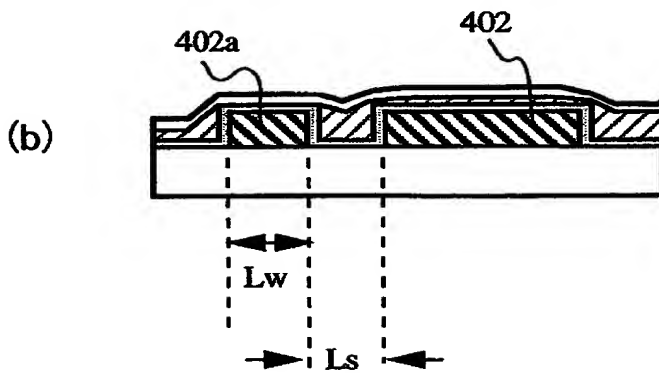
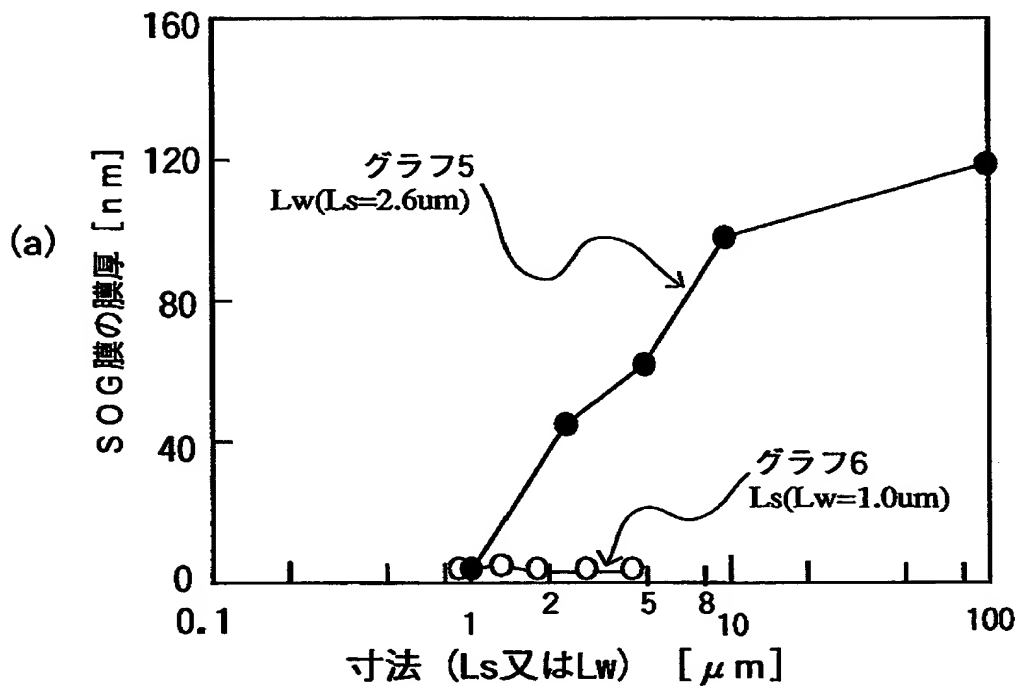


【図 5】

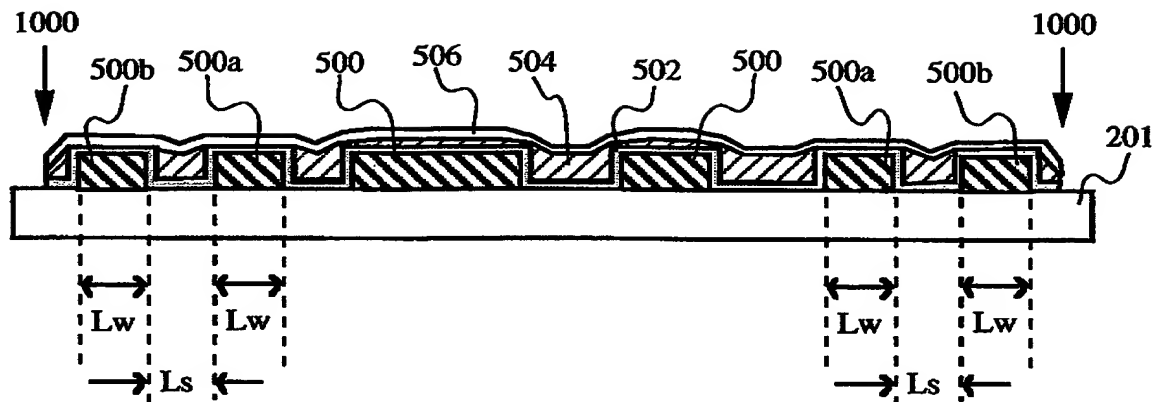


201:半導体基体  
 402:配線パターン  
 402a:ダミーパターン  
 404:シリコン酸化膜  
 406,406a: S O G 膜  
 408:シリコン酸化膜  
 1000:デバイスチップのエッジ

【図6】

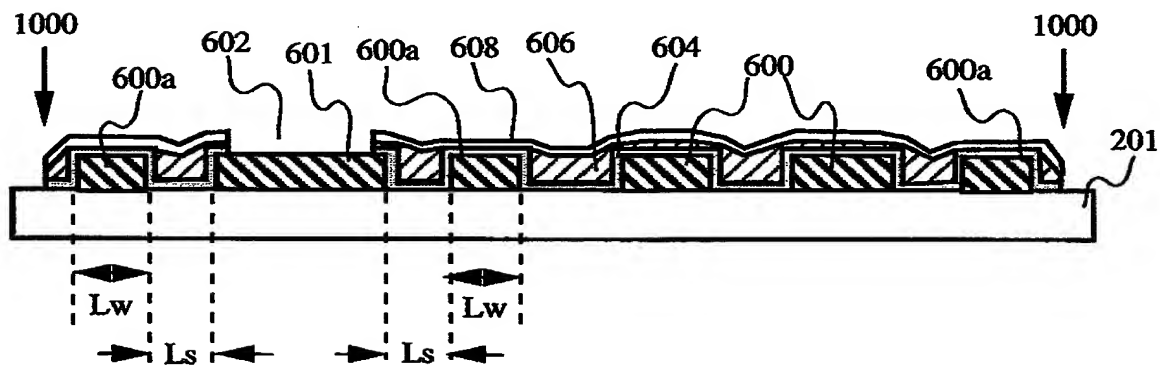


【図 7】



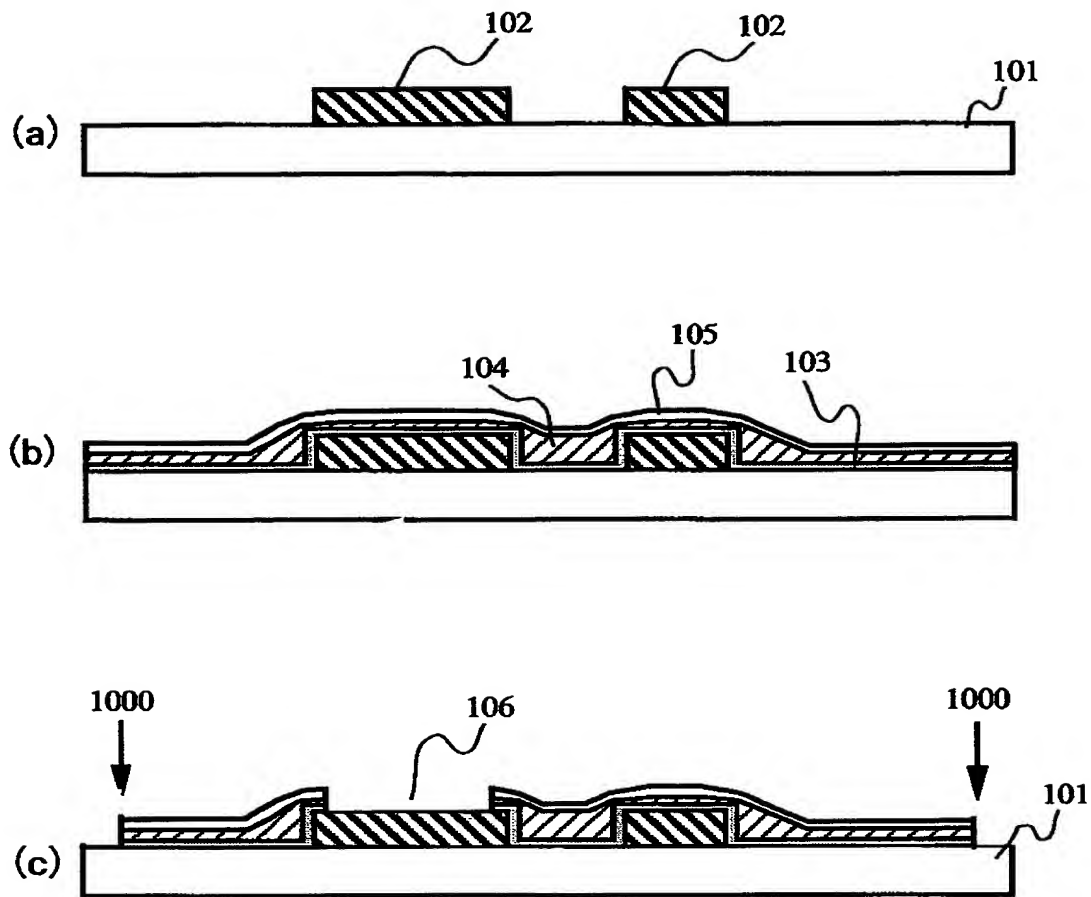
201:半導体基体  
 500:配線パターン  
 500a:第 1 のダミーパターン  
 500b:第 2 のダミーパターン  
 502:シリコン酸化膜  
 504:S O G 膜  
 506:シリコン酸化膜  
 1000:デバイスチップのエッジ

【図 8】



201:半導体基体  
 600:配線パターン  
 601:パッド部パターン  
 600a:ダミーパターン  
 602:開口部  
 604:シリコン酸化膜  
 606:S O G 膜  
 608:シリコン酸化膜  
 1000:デバイスチップのエッジ

【図 9】



- 101:半導体基体  
102:配線パターン  
103:シリコン酸化膜  
104:SOG膜  
105:シリコン酸化膜  
106:ボンディングのための開口部  
1000:デバイスチップのエッジ

【書類名】 要約書

【要約】

【目的】 デバイスチップのエッジ及びボンディングのための開口部の側壁において、層間絶縁膜であるＳＯＧ膜から水分がデバイス内に侵入することを防ぐことを目的とする。

【解決手段】 平面パターンで、デバイスの回路形成領域より外側で、かつデバイスチップのエッジ部から内側にダミーパターン202aを形成する。このダミーパターン202a上にＳＯＧ膜がほとんど無い状態にすることにより、ＳＯＧ膜を介して回路形成領域へ水分が侵入することを防ぐ。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社